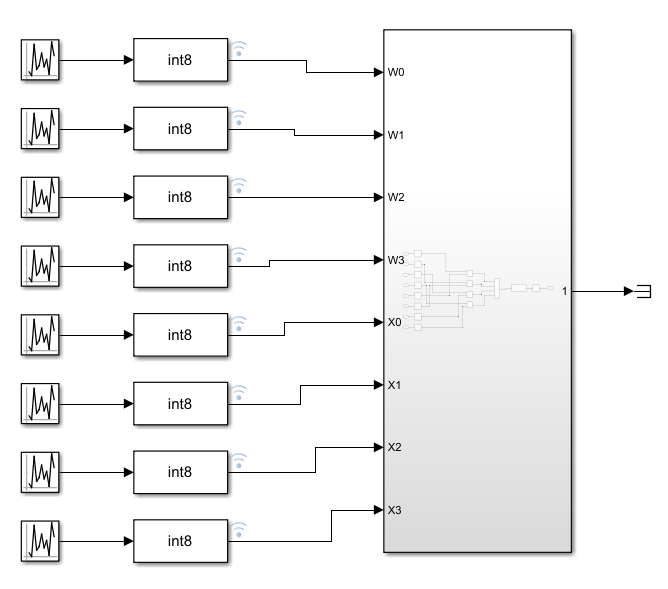
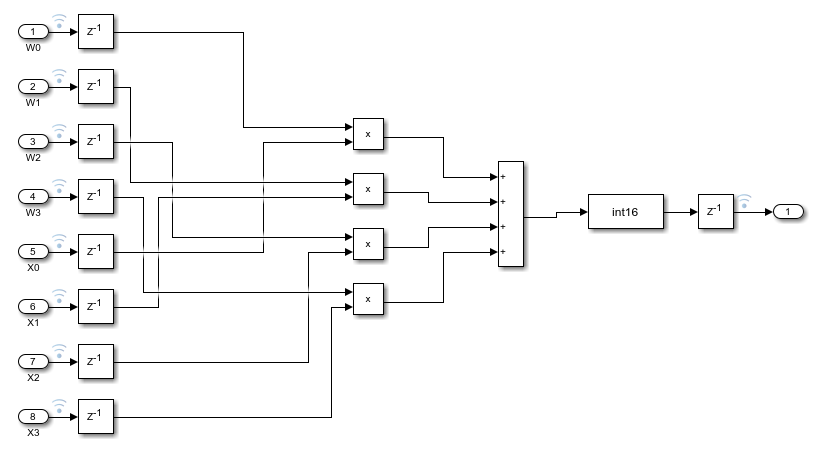
В сімулінку було реалізовано наступну схему.



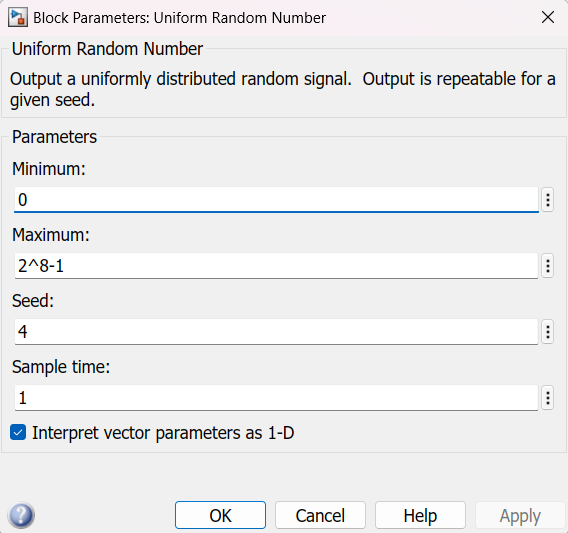
Вигляд елементів всредині блоку



За завданням було встановлено блоки затримки, типи даних входів: int8

тип даних виходу: int16.

Налаштування першого генератора випадкових чисел

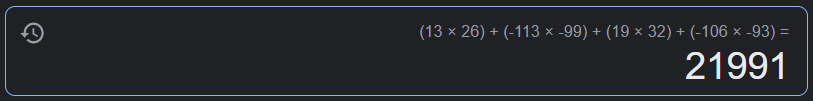


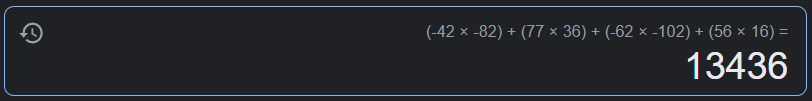
В усіх наступних значення Seed збільшується кожного разу на одиницю.

За допомогою Logic Analyzer перевіряємо роботу схеми



Порахувавши вираз в калькуляторі отримуємо такіж самі значення (було розраховано перші два значення)





Було згенеровано код на Verilog. Результат було перевірено в RTL Viever

